



УДК 621.396(024)

© В. В. Березин, А. В. Зинкевич, 2010

## ИССЛЕДОВАНИЕ ВРЕМЕНИ РЕАКЦИИ НА ПРЕРЫВАНИЕ СИСТЕМЫ НА КРИСТАЛЛЕ С SOFT-ПРОЦЕССОРОМ NIOSII

*Березин В. В.* – д-р техн. наук, проф. кафедры «Вычислительная техника», e-mail: [bvv73@mail.ru](mailto:bvv73@mail.ru); *Зинкевич А. В.* – асп. кафедры «Вычислительная техника», e-mail: [zinkevich1985@mail.ru](mailto:zinkevich1985@mail.ru) (ТОГУ)

Одна из ключевых проблем, относящихся к проектированию на системном уровне, заключается в возрастании системной сложности, что вызывает работу с абстракциями и спецификациями более высокого уровня. При разработке устройств, работающих в режиме реального времени, немаловажным фактором является быстродействие. Цель работы – определить возможности soft-процессора NIOS II в процессе обработки прерываний в зависимости от его конфигурации, а также оценить занимаемые ресурсы ПЛИС.

One of the key problems concerning design at a system level consists in an increase of the system complexity which calls for operation with abstractions and specifications of a higher level. In developing devices operating in a real time mode the important factor is speed of response. The purpose of the paper is to define the potential of the soft-processor NIOS II in the course of processing of interruptions depending on its configuration and also to estimate occupied resources of CPLD.

*Ключевые слова:* система на кристалле, soft-процессор, обработка прерываний, NIOSII, внутренний контроллер прерываний, внешний контроллер прерываний, interrupt vector custom instruction.

Современный этап развития телевизионно-компьютерных систем характеризуется ростом числа проектов на основе технологии «система-на-кристалле». Одна из ключевых проблем, относящихся к проектированию на системном уровне, заключается в возрастании системной сложности, что вызывает работу с абстракциями и спецификациями более высокого уровня [1]. Это приводит к необходимости исследования распределений конфигураций аппаратного и программного обеспечения, интеграции различных подходов к совместной верификации и моделирования. При разработке устройств обработки изображений, работающих в режиме реального времени, немаловажным фактором является быстродействие. Данное исследование является частью проекта реализации системы обработки видео с применением сжатия

JPEG2000 на базе системы-на- кристалле. Цель работы – определить возможности soft-процессора NIOS II в процессе обработки прерываний в зависимости от его конфигурации, а также оценить занимаемые ресурсы ПЛИС. Новизна решаемых вопросов состоит в специфичности soft-ядер процессоров вследствие большой функциональной гибкости и высокой степени перестраиваемости [2,5], что вызывает многовариантность выбора и необходимость решения оптимизационной задачи распределения доступных ресурсов между программной и аппаратной реализациями.

Принцип обработки прерываний soft-процессором ничем не отличается от общеизвестных, но эту обработку в системе можно осуществить двумя способами:

- 1) на базе встроенного контроллера прерываний (Internal Interrupt Controller);
- 2) на базе внешнего контроллера прерываний (External Interrupt Controller).

В первом случае обработка прерываний Nios II осуществлена в классическом для RISC процессоров виде, то есть, все типы прерываний обрабатываются единственным обработчиком. Всего поддерживается 32 аппаратных прерывания вне зависимости от типа процессора. Процесс опроса (polling) происходит программным способом, что сильно сказывается на времени реакции.

Заявленное производителем время реакции приведено в табл. 1 [3]:

Таблица 1

	Тип процессора		
	Nios II/e	Nios II/s	Nios II/f
$t_{\text{ожид}}$ , такт	15	10	10
$t_{\text{ответ}}$ , такт	485	128	105
$t_{\text{восст}}$ , такт	222	130	62

Здесь  $t_{\text{ожид}}$  – *время ожидания* – время от того, когда прерывание сгенерировано до момента, когда процессор выполняет первую команду;

$t_{\text{ответ}}$  – *время ответа* – время от того, когда прерывание сгенерировано до момента, когда процессор выполняет первую команду в подпрограмме обработки прерывания;

$t_{\text{восст}}$  – *время восстановления* – время перехода от последней команды в подпрограмме обработки прерывания до возврата к основной программе.

При этом должны выполняться условия, такие как:

- весь код и данные хранятся в on-chip memory;



- процедура обработки прерывания не постоянно находится в кэше команд;
- программное обеспечение при тесте основано на Altera-предоставленном обработчике особых ситуаций HAL;
- код должен иметь высокий уровень оптимизации.

Средства компилятора NIOS IDE позволяют выбрать уровень оптимизации. Опции от -O0 до -O3 позволяют оптимизировать код программы либо по наименьшему размеру, либо по скорости выполнения.

В работе происходит измерение  $t_{\text{ответ}}$  как наиболее значимого для разработчика. Испытательной системой была плата ALTERA DE2-70 с установленной ПЛИС Cyclone II и памятью типа SDRAM. Тактовая частота системы составила 50 МГц. На базе этого была реализована схема (рис. 1), состоящая из следующих узлов:

- процессор NIOSII;
- on-chip memory;
- SDRAM;
- блок генерации прерываний.

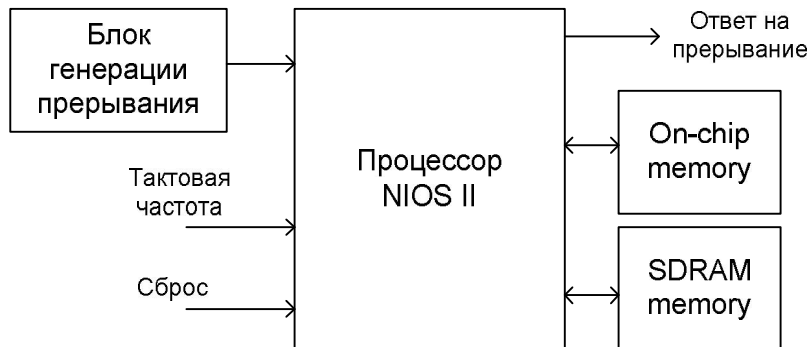


Рис. 1. Блок-схема испытательной системы

Блок генерации прерываний выдает на один из выводов системы на кристалле периодическую последовательность, представленную на рис. 2.



Рис. 2. Временная диаграмма периодической последовательности

Реализация блока генерации периодических прерываний выполнена на языке VerilogHDL и приведена на рис. 3.

```
module gen (CLOCK_50, vyhod);
input CLOCK_50;
output vyhod;
reg [15:0]st;
reg [1:0]out;
always @(posedge (CLOCK_50))
begin
st = st+1;
case(st)
1: out = 0;
5000: out = 1;
5250: st = 0;
endcase
end
assign vyhod=out;
endmodule
```

Рис. 3. Листинг программы блока генерации прерывания

Срабатывание прерывания было настроено на передний фронт, а время реакции оценивалось по изменению состояния одного из выводов в обработчике прерывания.

Во время работы был снят ряд временных диаграмм, которые были получены с помощью осциллографа. Пример такой диаграммы приведен на рис. 4.

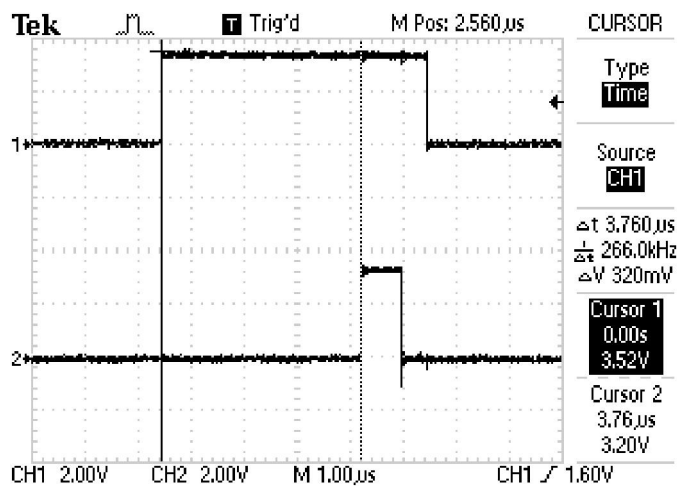


Рис. 4. Наблюдаемая временная диаграмма



Для достоверности временные диаграммы были сняты с помощью встраиваемого логического анализатора SignalTapII, входящего в средства системной отладки QuartusII.

В результате исследования процессора NIOSII были получены следующие результаты:

1) Использовались различные типы процессоров и памяти. Программный код не оптимизирован. В скобках указаны такты. Приоритет прерывания 1 (табл. 2).

Таблица 2

	Время ответа $t_{\text{ответ}}$	
	On-chip memory	SDRAM
Nios II/e	11,7 мкс (585)	20,4 мкс (1020)
Nios II/s	3,5 мкс (175)	11 мкс (550)
Nios II/f	2,56 мкс (128)	3,76 мкс (188)

2) Использовались различные типы процессоров и памяти. Программный код имеет оптимизацию по скорости выполнения. В скобках указаны такты. Приоритет прерывания 1 (табл. 3).

Таблица 3

	Время ответа $t_{\text{ответ}}$	
	On-chip memory	SDRAM
Nios II/e	8 мкс (400)	12,8 мкс (640)
Nios II/s	2,16 мкс (108)	5,2 мкс (260)
Nios II/f	1,56 мкс (78)	2,58 мкс (129)

3) Использовался тип процессора Nios II/f и различные типы памяти. Программный код не оптимизирован. В скобках указаны такты (табл. 4).

Таблица 4

Тип памяти	Приоритет прерывания	
	Приоритет 6	Приоритет 5
On-chip memory	4,56 мкс (228)	4,16 мкс (208)
SDRAM	5,76 мкс (288)	5,36 мкс (268)

Из таблиц видно, что для максимальной реакции на прерывание следует использовать память типа on-chip memory, максимально высокий приоритет прерывания и использовать уровень оптимизации по скорости выполнения.

Одной из особенностей soft-процессоров NiosII является использование пользовательских инструкций (Custom Instruction) и в частности Interrupt Vector Custom Instruction (частная реализация вектора прерывания). Команда может быть использована для уменьшения времени реакции на прерывание и

основана на приоритетном кодере с одним входом для каждого прерывания, связанного с процессором. Затраты системных ресурсов зависят от числа прерываний и в случае системы с 32 прерываниями система дополнительно требует приблизительно 50 логических элементов (LEs).

Если инструкция присутствует в процессоре Nios II, уровень аппаратной абстракции (HAL) обнаруживает это во время компиляции и генерирует код, используя ее. Заявлено, что данная инструкция уменьшает время реакции до 20 % [4].

Проведенные исследования показали следующие результаты.

1) Использовались различные типы процессоров и памяти. Программный код не оптимизирован. В скобках указаны такты. Приоритет прерывания 1 (табл. 5).

Таблица 5

	Время ответа $t_{\text{ответ}}$	
	On-chip memory	SDRAM
Nios II/e	7,88 мкс (394)	14,1 мкс (705)
Nios II/s	2,26 мкс (113)	5,24 мкс (262)
Nios II/f	1,46 мкс (73)	1,46 мкс (73)

2) Использовались различные типы процессоров и памяти. Программный код имеет оптимизацию по скорости выполнения. В скобках указаны такты. Приоритет прерывания 1 (табл. 6).

Таблица 6

	Время ответа $t_{\text{ответ}}$	
	On-chip memory	SDRAM
Nios II/e	6,64 мкс (332)	11,4 мкс (570)
Nios II/s	1,84 мкс (92)	3,16 мкс (158)
Nios II/f	1,26 мкс (63)	1,26 мкс (63)

Замечено, что при выполнении программы с Interrupt Vector Custom Instruction время реакции не изменялось при изменении приоритета прерывания.

В случае использования внешнего контроллера прерываний (external interrupt controller) поиск устройства, требующего прерывание, происходит аппаратным способом. Интерфейс EIC дает возможность ускорить время реакции на прерывание путем добавления дополнительного контроллера прерывания. Единственным недостатком является то, что EIC доступен только для процессора Nios II/f. Векторный контроллер прерываний (vectored interrupt controller) представлен ALTERA в виде IP-ядра и добавляется при создании системы в SOPC Builder.

Проведенные исследования показали, что время реакции на прерывание:



- 1) не зависит от типа используемой памяти;
- 2) не зависит от приоритета прерывания;
- 3) во всех случаях время реакции составило 700 нс (35 тактов процессора).

Немаловажным условием являлось соотношение между типом (производительностью) процессора и занимаемой памятью (ресурсами ПЛИС). В работе использовалась ПЛИС Cyclone II EP2C70F896C6, которая имеет следующие характеристики (табл. 7):

Таблица 7

Количество логических элементов (LEs)	68,416
M4K RAM блоков (4 кбит + 512 бит четности)	250
Общее число RAM, бит	1 152 000
Встроенных умножителей	150
Ячейки фазовой подстройки частоты (PLL)	4
Общее число пользовательских выводов	622

При этом каждый тип процессора занимает определенное число логических элементов и ячеек памяти, которые сведены в табл. 8 (для сравнения приведены занимаемые ресурсы Vectored interrupt controller).

Таблица 8

	Тип процессора			Vectored interrupt controller
	Nios II/e	Nios II/s	Nios II/f	
Число логических ячеек (LEs)	600-700 LEs	1200-1400 LEs	1400-1800 LEs	~960 LEs
Использование памяти	2 M4K блока	2 M4K блока + 4 кбайт кэш	3 M4K блока + 6 кбайт кэш	-
Общая занимаемая память, кбайт	1,125	5,125	7,68	-
Свободная память, кбайт	139,5	135,5	133	-

Анализируя данные таблиц, можно сделать следующие выводы:

1) Время реакции при использовании встроенного контроллера прерываний меньше заявленного производителем на 27 машинных тактов и составляет 78 тактов при максимальных параметрах быстродействия.

2) Время реакции сильно зависит от приоритета прерывания и увеличивается на 20 тактов при уменьшении приоритета.



3) Для уменьшения времени реакции возможно применение Interrupt Vector Custom Instruction. В этом случае минимальное число тактов составляет 63, а сама инструкция занимает в памяти ПЛИС незначительно ресурсов.

4) Если имеются свободные ресурсы, то лучше использовать тип процессора Nios II/f и Vectored interrupt controller. В этом случае минимальное число тактов составляет 35.

Таким образом, внутрикристалльная память (On-chip memory), объем которой ограничен и является разделяемым ресурсом между аппаратным обеспечением soft-процессора и доступным местом для хранения программного кода. Разработчик систем-на-кристалле на основе soft- процессора обеспечивает решение оптимизационной задачи и полученные экспериментальные данные позволяют ему принять аргументированные решения.

### Библиографические ссылки

1. Немудров В., Мартин Г. Системы-на-кристалле. Проблемы проектирования и развития. М., 2004.
2. Грушвицкий Р. И., Мурсаев А. Х., Узрюмов Е. П. Проектирование систем на микросхемах с программируемой структурой. СПб., 2006.
3. Nios II Software Developer's Handbook.
4. Nios II Processor Reference Handbook.
5. Березин В. В., Цыцулин А. К. Обнаружение и оценивание координат изображений точечных объектов в задачах астронавигации и адаптивной оптики // Вестник Тихоокеанского государственного университета. 2008. № 1(8).